

PAT-NO: JP406027932A
DOCUMENT-IDENTIFIER: JP 06027932 A
TITLE: FRAME MEMORY CONTROLLER
PUBN-DATE: February 4, 1994

INVENTOR-INFORMATION:
NAME
KITAJIMA, IKUO

ASSIGNEE-INFORMATION:
NAME COUNTRY
MATSUSHITA GRAPHIC COMMUN SYST INC) N/A

APPL-NO: JP04104199
APPL-DATE: April 23, 1992

INT-CL (IPC): G09G005/36, G06F003/153 , G09G005/00
US-CL-CURRENT: 345/FOR.111

ABSTRACT:

PURPOSE: To give a margin to the processing contents on a device side where image data are written in a frame without any hindrance to the transfer of the image data from the frame memory to a display device side by providing an interleaving control means and a timing control means.

CONSTITUTION: Parallel writing to and serial reading from the frame memory 3 are performed in synchronism with a horizontal synchronizing signal (HSYNC#). Then interleaving control which switches memory banks at intervals of one horizontal line is performed to transfer the line image data from the memory 3 to a display side during a period consisting of both the horizontal scan

blanking period of the display device 5 and the following line display section.

The transferred image data are displayed on a display while delayed by one

horizontal scanning period at each time. Consequently, the restrictions on the

timing at the time of the transfer of the image data from the memory 3 to the

display side are relaxed to surely transfer the line image data.

COPYRIGHT: (C)1994, JPO&Japio

1

【特許請求の範囲】

【請求項1】 フレームメモリから表示側への画像データの転送が1水平ラインごとにメモリバンクを切り換えて行なわれるように上記フレームメモリを複数のメモリバンクに論理分割するインターリーブ制御手段と、フレームメモリからのライン画像データの転送を水平走査帰線区間とそのあとのライン表示区間の両方に跨る期間の中で行なわせるタイミング制御手段とを備えたフレームメモリ制御装置。

【発明の詳細な説明】

【0001】

【産業上の利用分野】本発明は、フレームメモリにビットマップ方式で書き込まれた画像データをラスターキャン方式のCRTディスプレイ装置側へ転送して表示させるフレームメモリ制御装置に関する。

【0002】

【従来の技術】従来のこの種の装置は、図5に示すように、(a)フレームメモリ3をそれぞれが論理的に独立した複数のメモリバンクA、B、Cに分割するとともに、(b)CRTディスプレイ装置の表示画面51を水平走査ライン数によって#0、#1、#2の表示区画に仮想分割し、(c)バンクAには表示区画#0にて表示される画像データを、バンクBには表示区画#1にて表示される画像データを、バンクCには表示区画#2にて表示される画像データをそれぞれに書き込ませるようにしていた。

【0003】フレームメモリ3は、パラレルとシリアルの2種類のポートを有するデュアルポートDRAM(随時書込可能なメモリ)を用いて構成される。このフレームメモリ3では、パラレルポート側からビットマップ方式で1ワード分ずつ並列に書き込まれた画像データを、シリアルポート側から1水平走査ライン周期ごとに1ライン分ずつ直列に読み出してディスプレイ装置側へ転送することが行なわれる(たとえば、特開昭63-240620号公報参照)。

【0004】

【発明が解決しようとする課題】しかし、かかる構成によれば、フレームメモリに書き込みを行なう装置側での処理内容に大きな制約が生じる、という問題があった。

【0005】上述の問題は以下の理由で生じる。すなわち、フレームメモリ3に画像データを書き込む処理装置が表示画面51の全体に及ぶような大量の画像データを扱う場合、あるいは拡大、縮小、回転、移動、合成などを任意に行なうような場合は、フレームメモリに対する画像データの書き込みは、すべてのメモリバンクに対して同時的に進行させる必要が生じる。

【0006】そこで、従来においては、図4に示すように、フレームメモリに対する並列書き込みと直列読み出しを水平同期信号(HSYNC#)に同期して切り分け、ディスプレイ装置の水平走査帰線の区間(BLAN

2

K#)内に1ライン分の画像データをディスプレイ装置側へ直列転送させる一方、この直列転送された1ライン分の画像データがディスプレイ装置で表示されている間にフレームメモリの任意のバンクへの書き込みを行なわせるようにしていた。

【0007】しかし、この場合、書き込む側ではフレームメモリへの連続アクセス可能な時間が水平同期期間によって制約され、読み出す側ではそのタイミングが水平走査帰線の区間だけに制約されて、結局、両者共に非常に厳しいタイミング条件による動作を強いられる。

【0008】つまり、書き込む側の装置では、一回のアクセスが必ず1水平走査期間内で完了するような処理しかできなくなるために、処理の内容に制約が生じ、たとえば画面全体に及ぶような大量の画像データを扱うような処理は円滑に行うことが難かしくなる。また、読み出す側では、水平走査帰線区間だけという限られたタイミングしか与えられていないために、書き込む側でのアクセスが少しでも長引くようなことがあると、ディスプレイ装置側への画像データの転送が行なえなくなって、ディスプレイ画面に表示ノイズが出たりする。

【0009】本発明は、上述した課題に鑑みてなされたもので、フレームメモリからディスプレイ装置側への画像データの転送に支障をきたすことなく、フレームメモリに書き込みを行なう装置側での処理内容に余裕をもたせることができるフレームメモリ制御装置を提供することを目的とする。

【0010】

【課題を解決するための手段】本発明は上述の課題を解決するため、フレームメモリから表示側への画像データの転送が1水平ラインごとにメモリバンクを切り換えて行なわれるように上記フレームメモリを複数のメモリバンクに論理分割するとともに、フレームメモリからのライン画像データの転送を水平走査帰線区間とそのあとのライン表示区間の両方に跨る期間の中で行なわせる、という構成を備えたものである。

【0011】

【作用】本発明は、上述の構成によって、フレームメモリから表示側へ画像データを転送させるときのタイミング上の制約が大幅に緩和されて、フレームメモリから表示側へのライン画像データの転送を確実に行なわせることができるとともに、上記フレームメモリへの書き込みを行なう装置側でも、フレームメモリにアクセスするときの時間的な制約が大幅に緩和されるようになるため、フレームメモリの読出側であるディスプレイ装置での表示に支障をきたすことなく、その書込側となる装置に高度な処理を行なわせることが可能となる。

【0012】

【実施例】以下、本発明の実施例を図を参照しながら説明する。

【0013】なお、図において、同一符号は同一または

3

相当部分を示すものとする。図1は本発明の一実施例によるフレームメモリ制御装置の概略構成を示すものであって、1は未処理の入力画像を蓄積する画像メモリ、2は画像データの処理を行なうディスプレイ制御装置、3は画像データをビットマップ方式で記憶するフレームメモリ、4はフレームメモリ3のシリアルポート側から1ライン分ずつ直列に転送されてくる画像データをビデオ信号に変換して出力するビデオ信号変換転送部、5はビデオ信号変換転送部4から転送されてくるビデオ信号を表示するビットマップ型のCRTディスプレイ装置、6は上記フレームメモリ3およびその周辺の動作を制御するフレームメモリ制御装置である。

【0014】フレームメモリ3は、パラレルとシリアルの2種類のポートを有するデュアルポートDRAM（随時書込可能なメモリ）を用いて構成される。

【0015】フレームメモリ制御装置6は、フレームメモリ3から表示側への画像データの転送が1水平ラインごとにメモリバンクを切り換えて行なわれるように、上記フレームメモリ3を複数のメモリバンクに論理分割するインターリーブ制御手段と、フレームメモリ3からのライン画像データの転送を水平走査帰線区間とそのあとのライン表示区間の両方に跨る期間の中で行なわせるタイミング制御手段とによって構成される。

【0016】図2はフレームメモリとディスプレイ表示画面との対応関係を示す。同図に示す対応関係は上記フレームメモリ制御装置6の制御によって論理的に構成される。

【0017】同図において、(a)フレームメモリ3は、3つのメモリバンクA、B、Cに論理分割され、さらに各メモリバンクA、B、Cはそれぞれに2つのブロックLとHに論理分割される。

【0018】(b)CRTディスプレイ装置5の表示画面51は水平走査ライン数によって#0、#1、#2の3つの表示区画に仮想分割される。

【0019】(c)表示画面51の表示区画#0にて表示される画像データは、1ラインごとにフレームメモリ3のバンクALとBHに交互に振り分けられて格納される。同様に、区画#1の表示画像データはバンクCLとAHに、区画#2の表示画像データはバンクBLとCHに、それぞれ1ラインごとに交互に振り分けられて格納される。

【0020】図3は上述した対応関係をディスプレイ装置の1水平走査ラインごとに示したものである。同図に示すように、フレームメモリ3から表示側への画像データの転送は、インターリーブ制御によって、1水平ラインごとにメモリバンクを切り換えて行なわれるようになっている。

【0021】以上のように構成されたフレームメモリ制御装置について、以下その動作を説明する。

【0022】上述した装置では、図4に示すように、ま

4

ず、フレームメモリ3への並列書き込みと直列読み出しが水平同期信号(HSYNC#)に同期して行なわれる。この同期下にて、1水平ラインごとに転送元のメモリバンクを切り換えるインターリーブ制御を行なうことで、フレームメモリ3から表示側へのライン画像データ(n, n+1, ...)の転送を、ディスプレイ装置5の水平走査帰線区間とそのあとのライン表示区間の両方に跨る期間の中で行なわせるようにする。転送されたライン画像データはそれぞれ、1水平走査期間ずつ遅れてディスプレイ表示される(n-1, n, n+1, ...)。

【0023】これにより、フレームメモリ3から表示側へ画像データを転送させるときのタイミング上の制約が大幅に緩和されて、フレームメモリ3から表示側へのライン画像データの転送を確実に行なわせることができるようになる。これとともに、上記フレームメモリ3への書き込みを行なうディスプレイ制御装置2側でも、フレームメモリ3をアクセスするときの時間的な制約が大幅に緩和されるようになって、たとえば上記水平走査帰線区間にずれ込んでフレームメモリ3をアクセスするような画像処理も可能になる。これにより、フレームメモリ3の読出側であるディスプレイ装置5での表示に支障をきたすことなく、その書込側となるディスプレイ制御装置2に高度な処理を行なわせることができる。

【0024】

【発明の効果】以上の説明から明らかなように、本発明は、フレームメモリから表示側への画像データの転送が1水平ラインごとにメモリバンクを切り換えて行なわれるように上記フレームメモリを複数のメモリバンクに論理分割するとともに、フレームメモリからのライン画像データの転送を水平走査帰線区間とそのあとのライン表示区間の両方に跨る期間の中で行なわせることによって、フレームメモリから表示側へ画像データを転送させるときのタイミング上の制約が大幅に緩和され、フレームメモリから表示側へのライン画像データの転送を確実に行なわせることができるとともに、上記フレームメモリへの書き込みを行なう装置側でも、フレームメモリをアクセスするときの時間的な制約が大幅に緩和されるようになるため、フレームメモリの読出側であるディスプレイ装置での表示に支障をきたすことなく、その書込側となる装置に高度な処理を行なわせることができるようになる、という効果を有するものである。

【図面の簡単な説明】

【図1】本発明の一実施例によるフレームメモリ制御装置を使用したシステムの概略構成図

【図2】フレームメモリとディスプレイ表示画面との対応関係を示す図

【図3】フレームメモリとディスプレイ表示画面との対応関係をラインごとに示す図

【図4】本発明におけるフレームメモリの書込/読出の

5

6

タイミング条件を示す図

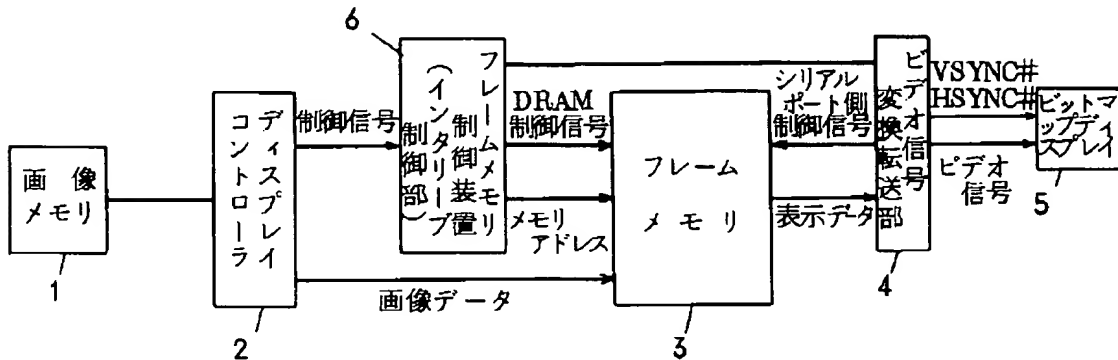
【図5】従来におけるフレームメモリとディスプレイ表示画面との対応関係を示す図

【図6】従来におけるフレームメモリの書込/読出のタイミング条件を示す図

【符号の説明】

- 1 入力画像メモリ
- 2 ディスプレイ制御装置（書込側）
- 3 フレームメモリ
- 4 ビデオ信号変換転送部
- 5 CRTディスプレイ装置
- 6 フレームメモリ制御装置

【図1】



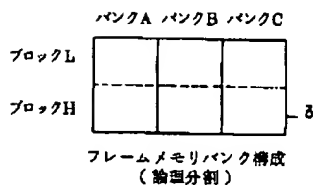
システム構成概略図

【図2】

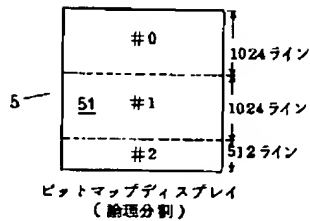
【図3】

【図5】

(a)



(b)



(c)

$$\begin{cases} \#0 = AL + BH \\ \#1 = CL + AH \\ \#2 = BL + CH \end{cases}$$

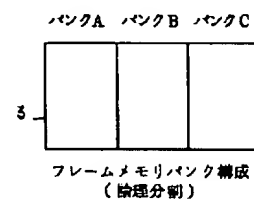
メモリバンクとディスプレイ対応式

新方式のフレームメモリバンク構成とビットマップディスプレイ対応図

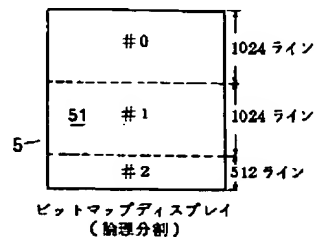
ビットマップディスプレイ ライン番号	メモリバンク番号	メモリバンク番号
1	#0	AL
2	#0	BH
3	#0	AL
4	#0	BH
...
1023	#0	AL
1024	#0	BH
1025	#1	CL
1026	#1	AH
...
2047	#1	CL
2048	#1	AH
2049	#2	BL
2050	#2	CH
...

ビットマップディスプレイライン番号とメモリバンク対応図

(a)



(b)



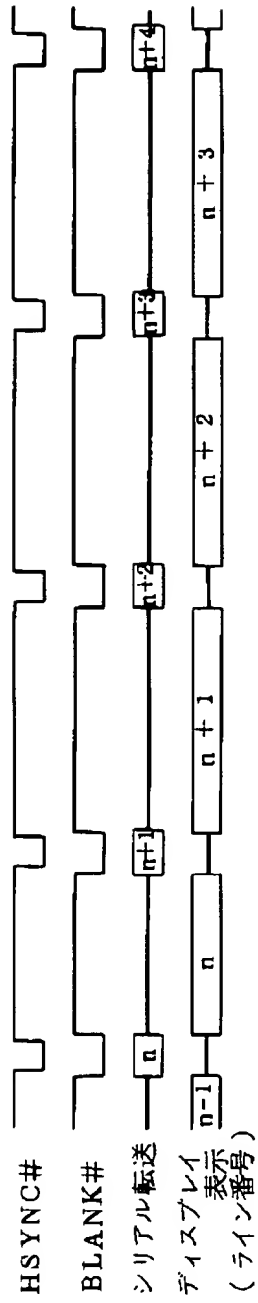
(c)

$$\begin{cases} \#0 = A \\ \#1 = B \\ \#2 = C \end{cases}$$

メモリバンクとディスプレイ対応式

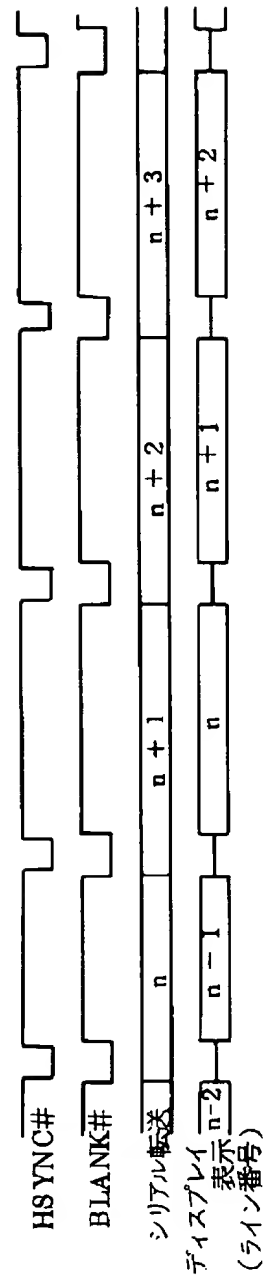
従来方式のフレームメモリバンク構成とビットマップディスプレイ対応図（例図）

【図4】



従来方式のフレームメモリシリアルポート転送タイミング
とディスプレイ表示タイミング図

【図6】



新方式のフレームメモリシリアルポート転送タイミング
とディスプレイ表示タイミング図